

SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE USING IT

Patent number: JP2002083894

Publication date: 2002-03-22

Inventor: KIKUCHI YUJI; KISHIMOTO SEIJI; NAKAGAWA KAZUNARI;
HINO YOSHIHARU

Applicant: HITACHI MAXELL

Classification:

- International: G06K19/07; G06K19/077; H01L21/822; H01L23/12; H01L27/04;
G06K19/07; G06K19/077; H01L21/70; H01L23/12; H01L27/04;
(IPC1-7): H01L23/12; G06K19/07; G06K19/077

- european:

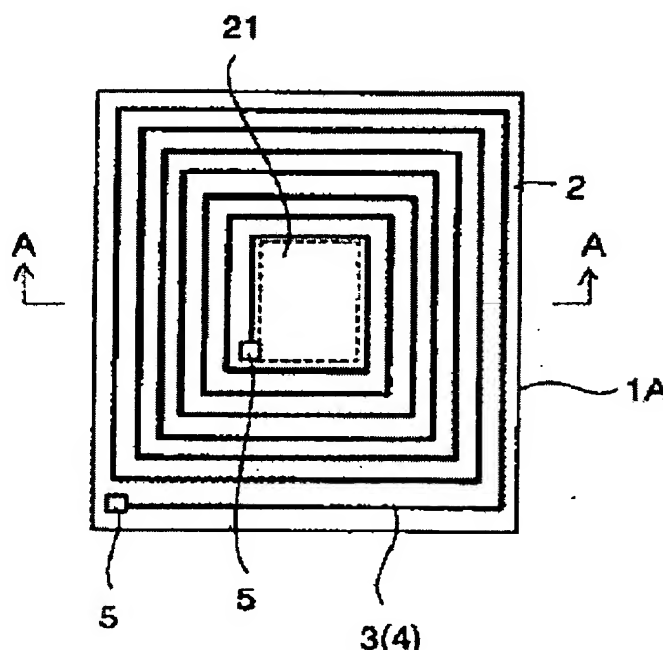
Application number: JP20010167022 20010601

Priority number(s): JP20010167022 20010601; JP20000186409 20000621

[Report a data error here](#)

Abstract of JP2002083894

PROBLEM TO BE SOLVED: To provide a semiconductor chip of integral rewiring layer which is hard to cause malfunction due to noise and deterioration of transmission characteristic, and also to provide a semiconductor device with good transmission characteristic. **SOLUTION:** A rewiring layer 3 is formed on a circuit forming plane 1a via an insulating layer 2, and an antenna coil 4 is formed by rewiring layer 3. Antenna coil 4 is formed near an analog circuit 21, not in or to circuit 21 itself, which is formed on circuit forming plane 1a. Analog circuit 21 can be an integration of all analog circuits to be formed on a semiconductor chip 1A, or one of a power circuit, an operational amplifier, a comparative amplifier, an RF receiver, an RF sender and an RF synthesizer, and an analog circuit that is easy to be affected by noise as a voltage rising circuit or an amplifying circuit constituting a part of a memory part, or it can be a coil constituting a part of the analog circuits to be formed in semiconductor chip 1A.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-83894
(P2002-83894A)

(43) 公開日 平成14年3月22日 (2002. 3. 22)

(51) Int.Cl. ¹	識別記号	F I	テームト* (参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 C 5 B 0 3 5
	5 0 1		5 0 1 P
			5 0 1 S
			N
G 0 6 K 19/07		G 0 6 K 19/00	K
審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-167022(P2001-167022)
(22) 出願日 平成13年6月1日 (2001. 6. 1)
(31) 優先権主張番号 特願2000-186409(P2000-186409)
(32) 優先日 平成12年6月21日 (2000. 6. 21)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005810
日立マクセル株式会社
大阪府茨木市丑寅1丁目1番88号
(72) 発明者 菊地 裕二
大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内
(72) 発明者 岸本 清治
大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内
(74) 代理人 100078134
弁理士 武 顕次郎

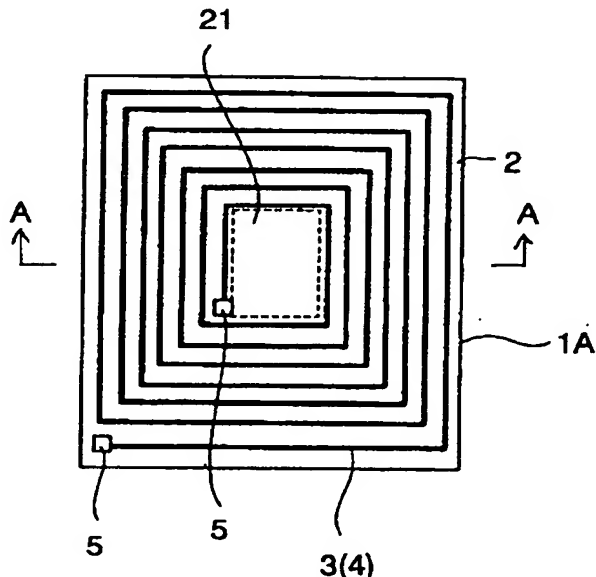
最終頁に続く

(54) 【発明の名称】 半導体チップ及びこれを用いた半導体装置

(57) 【要約】

【課題】 ノイズによる誤作動や通信特性の劣化を生じにくい再配線層一体形の半導体チップを提供すること、通信特性が良好な半導体装置を提供すること。

【解決手段】 絶縁層2を介して回路形成面1a上に再配線層3を形成し、当該再配線層3をもってアンテナコイル4を形成する。アンテナコイル4は、回路形成面1aに形成されたアナログ回路21を避けて、その周辺部分に形成する。アナログ回路21は、半導体チップ1Aに形成されるべき全てのアナログ回路を集約化したものであっても良いし、例えば前記電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFセンササイザ部、それにメモリ部の一部を構成する電圧昇圧回路や増幅回路などのようにノイズの影響を特に受けやすいアナログ回路の1つであっても良い。また、半導体チップ1Aに形成されるアナログ回路の一部に備えられたコイルであっても良い。



【特許請求の範囲】

【請求項 1】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 2】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF 受信部、RF 送信部及び RF シンセサイザ部のうちの少なくともいずれか 1 つと前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 3】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたコイルと前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 4】 請求項 1 乃至請求項 3 のいずれかに記載の半導体チップにおいて、前記再配線層をもって、両端が前記回路形成面に形成された入出力端子に接続された非接触通信用のアンテナコイルを形成したことを特徴とする半導体チップ。

【請求項 5】 請求項 1 乃至請求項 3 のいずれかに記載の半導体チップにおいて、前記再配線層をもって、一端が前記回路形成面に形成された入出力端子に接続され、他端にバンプが形成されたバンプ設定用配線を形成したことを特徴とする半導体チップ。

【請求項 6】 請求項 1 乃至請求項 5 のいずれかに記載の半導体チップにおいて、前記回路形成面に形成された回路が、CMOS 技術により形成された無線通信回路であることを特徴とする半導体チップ。

【請求項 7】 請求項 1 乃至請求項 6 のいずれかに記載の半導体チップにおいて、前記回路形成面に形成された回路が、外部装置との間で 800MHz 以上の周波数の信号を送信、受信又は送受信する無線通信回路であることを特徴とする半導体チップ。

【請求項 8】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項 9】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF 受信部、RF 送信部及び RF シンセサイザ部のうちの少なくともいずれか

1 つと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項 10】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたコイルと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁層を介して回路形成面上に再配線層が一体に形成された半導体チップと、当該半導体チップを搭載した半導体装置とに係り、特に、前記再配線層の配列に関する。

【0002】

【従来の技術】半導体チップが搭載されたカード形、タグ形又はコイン形などの半導体装置は、豊富な情報量と高いセキュリティ性能を備えていることから、交通、流通及び情報通信等の分野で普及が進んでいる。中でも、近年開発された非接触通信式の半導体装置は、基体に外部端子を設けず、リーダライタからの電力の受給とリーダライタとの間の信号の送受信とを無線によって行うので、接触式の半導体装置のように外部端子の損壊ということが本質的になく、保存等の取り扱いが容易で長期間の使用に耐え、かつ、データの改ざんが行われにくくより一層セキュリティ性能に優れるという特徴を有しており、今後より広範囲な分野への普及が予想されている。

【0003】従来より、この種の非接触式半導体装置に搭載される半導体チップとしては、外部装置からの電源の受給及び外部装置との間の信号の送受信を非接触で行うための非接触通信用のアンテナコイルを有しないものが用いられていたが、近年、図 1 6 及び図 1 7 に示すように、絶縁層 2 を介して回路形成面上に再配線層 3 が形成され、当該再配線層 3 をもってアンテナコイル 4 が一体に形成されたコイルオンチップタイプの半導体チップ 1 が提案されている。

【0004】コイルオンチップタイプの半導体チップ 1 を用いると、アンテナコイルを別途用意する必要がなく、アンテナコイルと半導体チップとの接続や当該接続部の保護処理等が不要になるので、非接触式半導体装置の製造を容易化でき、その低コスト化を図ることができる。

【0005】また、近年においては、非接触式又は接触式を問わず、半導体装置に搭載される半導体チップとして、図 1 8 及び図 1 9 に示すように、外周に沿って複数個の入出力端子（パッド）5 が形成された半導体チップの回路形成面に絶縁層 2 を介して再配線層 3 が形成され、当該再配線層 3 をもって、一端が前記入出力端子 5

に接続され、他端にバンプ7が形成され、半導体チップの全面にレイアウトされたバンプ設定用配線6が形成されたチップスケールパッケージ（以下、「CSP」と略称する。）タイプの半導体チップ8が提案されている。

【0006】当該CSPタイプの半導体チップ8を用いると、バンプ7を半導体チップ8上の全面に自由にレイアウトすることができるので、外周に沿って形成された入出力端子5にバンプ7を形成する場合に比べてバンプ7の配列ピッチ及びバンプサイズを大きくすることができ、入出力端子5の多端子化と半導体チップのフリップチップ実装の容易化等を図ることができる。

【0007】

【発明が解決しようとする課題】ところで、半導体装置に適用される半導体チップの回路形成面には、図16及び図18に示すように、電源回路11と、演算増幅器（オペアンプ）12と、比較増幅器（コンパレータ）13と、RF受信部14と、RF送信部15と、RFシンセサイザ部16と、論理部17と、メモリ部18などがブロック分けして形成されており、より高いセキュリティ性能が要求される場合には、マイクロプロセッサが内蔵される場合もある。前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16は、ほとんどがアナログ回路で構成され、メモリ部18もメモリ素子としてEEPROMなどを用いる場合には、一部に電圧昇圧回路や増幅回路等のアナログ回路が存在する。これに対して、論理部17は、ほとんどがデジタル回路で構成される。なお、従来より知られている半導体装置搭載用の半導体チップには、前記アナログ回路の一部にコイル部を備えたものもある。

【0008】再配線層3が一体に形成されたコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、比較的高い誘電率を有する絶縁層2を介して半導体チップ1、8の回路形成面と再配線層3とが近接して配置されるので、図20に模式的に示すように、回路形成面に形成された回路と再配線層3との間に寄生容量Cが形成される。

【0009】然るに、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、アナログ回路の形成部に寄生容量Cが生成された場合の悪影響について、何らの考慮もされておらず、図16乃至図19に示すように、アンテナコイル4又はバンプ設定用配線5がアナログ回路の形成部と対向する位置にも形成されている。

【0010】このため、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面に形成されたアナログ回路と再配線層3との間に寄生容量Cが形成され、再配線層3に発生した起電力（交流）と寄生容量Cとが結合して静電誘導ノイズを生じ、さらには、当該静電誘導ノイズに起因してク

ロストークノイズ、リンギング（LC共振ずれ）及び電源ノイズ等が発生することから、誤作動や通信特性の劣化を生じやすいという問題がある。

【0011】また、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面と再配線層3とが絶縁層2を介して対向に配置されているので、回路形成面に形成された各回路に電磁誘導ノイズも発生しやすく、これに起因する誤作動や通信特性の劣化も生じやすい。

【0012】前記静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等のノイズは、前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16などのアナログ回路、特に、微小な電圧波形を取り扱う演算増幅器12及び比較増幅器13や、微小な信号を取り扱うメモリ部18に備えられた電圧昇圧回路及び増幅回路、それにコイル等に大きな影響を与える。また、これらのノイズは、取り扱う電圧波形や信号の周波数が高い回路ほど大きな悪影響を及ぼすので、例えば携帯電話等に適用される高周波対応の半導体チップにおいては、特に前記ノイズの発生を抑制する必要がある。

【0013】本発明は、かかる課題を解決するためになされたものであって、その課題とするところは、ノイズによる誤作動や通信特性の劣化を生じにくい再配線層一体形の半導体チップを提供すること、及び、通信特性が良好な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、前記課題を解決するため、半導体チップに関しては、第1に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とを前記絶縁層を介して重なり合わないよう配列するという構成にした。

【0015】このように、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないよう配列すると、アナログ回路と再配線層との間に寄生容量が形成されないため、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないため、アナログ回路に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。なお、回路形成面に形成された全てのアナログ回路について再配線層を重なり合わないよう配列しなくとも、ノイズの影響を特に受けやすいアナログ回路

について再配線層を重なり合わないように配列すれば、実用上ノイズに起因する誤作動や通信特性の劣化が問題になることはない。また、デジタル回路はアナログ回路に比べてノイズの影響を受けにくいので、回路形成面に形成されたデジタル回路上に絶縁層を介して再配線層を重なり合わせても、再配線層一体形の半導体チップに誤作動を生じたり通信特性の劣化を生じることはない。

【0016】本発明は、半導体チップに関して、第2に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと前記再配線層とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0017】前記したように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部は、ほとんどがノイズの影響を受けやすいアナログ回路をもって構成される。したがって、これらの各回路ブロックと再配線層とを絶縁層を介して重なり合わないように配列すれば、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0018】本発明は、半導体チップに関して、第3に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたコイルと前記再配線層とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0019】かように、回路形成面にコイルが形成された半導体チップについて、当該コイルと再配線層とを絶縁層を介して重なり合わないように配列すると、コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、リングング等の発生を防止することができるので、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0020】本発明は、半導体チップに関して、第4に、前記第1乃至第3の課題解決手段に記載の再配線層をもって、両端が前記回路形成面に形成された入出力端子に接続された非接触通信用のアンテナコイルを形成するという構成にした。

【0021】かように、再配線層をもって非接触通信用のアンテナコイルを形成すると、耐ノイズ性に優れたコイルオンチップを得ることができるので、低コストにして耐ノイズ性に優れた非接触式半導体装置を製造することができる。

【0022】本発明は、半導体チップに関して、第5に、前記第1乃至第3の課題解決手段に記載の再配線層をもって、一端が前記回路形成面に形成された入出力端子に接続され、他端にパンプが形成されたパンプ設定用

配線を形成するという構成にした。

【0023】かように、再配線層をもってパンプ設定用配線を形成すると、耐ノイズ性に優れたCSPタイプの半導体チップを得ることができるので、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0024】本発明は、半導体チップに関して、第6に、前記第1乃至第5の課題解決手段に記載の回路形成面に形成された回路が、CMOS技術により形成された無線通信回路であるという構成にした。

【0025】本願出願人は、実験により、CMOS技術で製造された無線チップは、Siバイポーラ技術で製造されたトランジスタに比べて個々のトランジスタ特性のばらつきが大きく、浮遊容量などの影響によってダイナミックレンジなどの特性が劣化しやすいことから、アナログ回路上に再配線層が形成された場合の影響が大きいという事実を知得した。シュミレーションによると、アナログ回路上の再配線による無線通信特性への影響は、Siバイポーラ技術を用いた場合と比較して、2～8倍にもなることが確認された。したがって、CMOS技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0026】本発明は、半導体チップに関して、第7に、前記第1乃至第6の課題解決手段に記載の回路形成面に形成された回路が、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路であるという構成にした。

【0027】本願出願人は、実験により、アナログ回路上の再配線による無線通信特性への影響は、無線通信のための周波数に依存し、周波数が800MHz以上になると急激に通信特性が劣化するという事実を知得した。これは、再配線内を流れる電流が、数MHz程度の低周波数を送受信する場合には再配線の中心付近を流れるのに対して、800MHz以上の高周波数になると再配線の表層を流れる表皮効果によるためと考えられる。表皮効果による回路への影響は、ノイズによるエラーレートの上昇や通信距離の急激な減少、ひいては通信不能に原因にもなる。したがって、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0028】一方、本発明は、前記の課題を解決するため、半導体装置に関しては、第1に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形

成面に形成されたアナログ回路の全部又は一部と前記再配線層とが前記絶縁層を介して重なり合わないよう配列された半導体チップを搭載するという構成にした。

【0029】かように、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないよう配列された半導体チップを搭載すると、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0030】本発明は、半導体装置に関して、第2に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと前記再配線層とが前記絶縁層を介して重なり合わないよう配列された半導体チップを搭載するという構成にした。

【0031】かように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とが絶縁層を介して重なり合わないよう配列された半導体チップを搭載すると、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0032】本発明は、半導体装置に関して、第3に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたコイルと前記再配線層とが前記絶縁層を介して重なり合わないよう配列された半導体チップを搭載するという構成にした。

【0033】かように、回路形成面に形成されたコイルと再配線層とが絶縁層を介して重なり合わないよう配列された半導体チップを搭載すると、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用しないので、通信特性が良好な半導体装置を得ることができる。

【0034】

【発明の実施の形態】〈半導体チップの第1例〉本発明に係る半導体チップの第1例を、図1及び図2に基づいて説明する。図1は第1実施形態例に係る半導体チップ1Aの平面図であり、図2は図1のA-A断面図である。

【0035】本例の半導体チップ1Aは、コイルオンチップタイプの半導体チップであって、図1及び図2に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイ

ル4が一体に形成されている。そして、本例の半導体チップ1Aにおいては、回路形成面1aの中央部分に形成されたアナログ回路21を避けて、その周辺部分に角形スパイラル状のアンテナコイル4が形成されている。

【0036】前記アナログ回路21は、半導体チップ1Aに形成されるべき全てのアナログ回路を集約化したものであっても良いし、例えば前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16、それに前記メモリ部18の一部を構成する電圧昇圧回路や増幅回路などのようにノイズの影響を特に受けやすいアナログ回路の1つであってても良い。さらには、半導体チップ1Aに形成されるアナログ回路の一部に備えられたコイルであってても良い。

【0037】本例の半導体チップ1Aは、基になる半導体チップ（より実際的には、個々の半導体チップに切り出される前の完成ウエハ）の回路形成面1a上に、絶縁層2を介して再配線層3を形成することによって作製される。本例の半導体チップ1Aの基になる半導体チップとしては、公知に属する任意の半導体チップを用いることができるが、最終製品である非接触式半導体装置の薄形化を図るため、回路の非形成面1bが化学研磨又は機械研磨若しくはこれらの手段の組み合わせによって薄形化されたベアチップを用いることが特に好ましい。その厚さは、300 μ m以下が好ましく、特に薄形のカードに適用されるものについては、50 μ m～150 μ m程度にすることが好ましい。また、CMOS技術により回路形成面に無線通信回路が形成されたものや、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いることもできる。

【0038】なお、図1の例では、アンテナコイル4が複数ターン巻回されているが、当該アンテナコイル4のターン数についてはこれに限定されるものではなく、1ターン以上の任意のターン数とすることができる。さらに、アンテナコイル4の平面形状に関しても、図1及び図2の例に限定されるものではなく、例えば角部に面取りを施して、形状効果による通信特性の劣化が少ない形状とすることもできる。また、絶縁層2と再配線層3とを多段に積層して、アンテナコイル4のターン数を多くすることもできる。

【0039】本例の半導体チップ1Aは、回路形成面1aの中央部分に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナコイル4とが互いに重なり合わないよう配列したので、アナログ回路21とアンテナコイル4との間に寄生容量が形成されず、アナログ回路21に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路21とアンテナコイル4とが対向に配置されないため、アナログ回路21に作用する電磁誘導ノイズの発

生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等の発生が防止され、高周波対応のコイルオンチップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0040】特に、半導体チップ1Aの基になる半導体チップとして、CMOS技術により回路形成面に無線通信回路が形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。また、半導体チップ1Aの基になる半導体チップとして、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0041】〈半導体チップの第2例〉本発明に係る半導体チップの第2例を、図3に基づいて説明する。図3は第2実施形態例に係る半導体チップ1Bの平面図である。

【0042】本例の半導体チップ1Bも、コイルオンチップタイプの半導体チップであって、図3に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイル4が一体に形成されている。そして、本例の半導体チップ1Bにおいては、回路形成面1aの一隅部に形成されたアナログ回路21を避けて、その周辺部分に異形スパイラル状のアンテナコイル4が形成されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0043】本例の半導体チップ1Bも、回路形成面1aの一隅部に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナコイル4とが互いに重なり合わないよう配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0044】〈半導体チップの第3例〉本発明に係る半導体チップの第3例を、図4及び図5に基づいて説明する。図4は第3実施形態例に係る半導体チップ1Cの平面図であり、図5は図4のB-B断面図である。

【0045】本例の半導体チップ1Cは、CSPタイプの半導体チップであって、図4及び図5に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Cの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Cにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周

辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その側方のみバンプ7が配列されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0046】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないよう配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0047】〈半導体チップの第4例〉本発明に係る半導体チップの第4例を、図6に基づいて説明する。図6は第4実施形態例に係る半導体チップ1Dの平面図である。

【0048】本例の半導体チップ1Dも、CSPタイプの半導体チップであって、図6に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Dの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Dにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その上方及び側方にバンプ7が配列されている。その他については、前記第3実施形態例に係る半導体チップ1Cと同じであるので、説明を省略する。

【0049】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないよう配列したので、前記第3実施形態例に係る半導体チップ1Cと同様の効果を得ることができる。

【0050】〈半導体チップの第5例〉本発明に係る半導体チップの第5例を、図7に基づいて説明する。図7は第5実施形態例に係る半導体チップ1Eの平面図である。

【0051】本例の半導体チップ1Eも、CSPタイプの半導体チップであって、図7に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Eの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Eにおいては、回路形成面1aの2箇所

に形成されたアナログ回路 2 1 を避けてその周辺部分にパンプ設定用配線 6 が引き回され、アナログ回路 2 1 の形成部分の前後左右にパンプ 7 が配列されている。その他については、前記第 3 実施形態例に係る半導体チップ 1 C と同じであるので、説明を省略する。

【0052】本例の半導体チップ 1 E も、回路形成面 1 a の一部に形成されたアナログ回路 2 1 を避けてパンプ設定用配線 6 及びパンプ 7 を形成し、アナログ回路 2 1 とこれらパンプ設定用配線 6 及びパンプ 7 とが互いに重なり合わないよう配列したので、前記第 3 実施形態例に係る半導体チップ 1 C と同様の効果を得ることができる。

【0053】〈再配線層の形成方法の第 1 例〉以下、前記アンテナコイル 4 又はパンプ設定用配線 6 を構成する再配線層 3 の形成方法の第 1 例を、図 8 乃至図 10 に基づいて説明する。図 8 は所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図、図 9 は再配線層 3 の形成方法の第 1 例を示す工程図、図 10 は再配線層 3 が形成された完成ウエハの平面図である。

【0054】図 8 に示すように、完成ウエハ 3 1 には、最外周部を除く内周部分に多数個の半導体チップ用の回路 3 2 が等間隔に形成されており、その回路形成面側には、所要の表面保護膜 3 3 (図 9 参照) が形成されている。

【0055】図 9 に示す再配線層の形成方法の第 1 例では、まず図 9 (a) に示すように、完成ウエハ 3 1 の回路形成面に形成された表面保護膜 3 3 上に、アルミニウム又はアルミニウム合金若しくは銅又は銅合金を用いて、金属スパッタ層又は金属蒸着層 3 4 を均一に形成する。次いで、図 9 (b) に示すように、当該金属スパッタ層又は金属蒸着層 3 4 上にフォトレジスト層 3 5 を均一に形成し、形成されたフォトレジスト層 3 5 にアンテナコイル 4 又はパンプ設定用配線 6 を含む所要のパターンが形成されたマスク 3 6 を被せ、マスク 3 6 の外側から所定波長の光 3 7 を照射してフォトレジスト層 3 5 を露光する。しかる後に露光されたフォトレジスト層 3 5 の現像処理を行い、図 9 (c) に示すように、フォトレジスト層 3 5 の露光部分を除去して、前記金属スパッタ層又は金属蒸着層 3 4 の前記露光パターンと対応する部分を露出させる。金属スパッタ層又は金属蒸着層 3 4 の露出パターンには、図 10 に示すように、リング状の電極部 3 7 と、前記アナログ回路 2 1 を除く部分に形成されたアンテナコイル 4 又はパンプ設定用配線 6 と、これら電極部 3 7 と各アンテナコイル 4 又は各パンプ設定用配線 6 とを連結するリード部 3 8 とが含まれる。次いで、前記電極部 3 7 を一方の電極として、金属スパッタ層又は金属蒸着層 3 4 の露出部分に電気めっき又は精密電鍍を施し、図 9 (d) に示すように、金属スパッタ層又は金属蒸着層 3 4 の露出部分に金属めっき層 3 9 を積層する。次いで、完成ウエハ 3 1 の表面に付着したフォ

トレジスト層 3 5 をアッシング処理等によって除去し、図 9 (e) に示すように、均一な金属スパッタ層又は金属蒸着層 3 4 上に電極部 3 7 とアンテナコイル 4 又はパンプ設定用配線 6 とリード部 3 8 とを有する金属めっき層 3 9 が形成された完成ウエハ 3 1 を得る。次いで、金属めっき層 3 9 より露出した金属スパッタ層又は金属蒸着層 3 4 を選択的にエッチングし、図 9 (f) に示すように、金属めっき層 3 9 より露出した金属スパッタ層又は金属蒸着層 3 4 を除去する。これによって、金属スパッタ層又は金属蒸着層 3 4 と金属めっき層 3 9 とが形成された完成ウエハ 3 1 が得られる。最後に、前記完成ウエハ 3 1 をスクライビングして、図 1 乃至図 7 に示す所要の半導体チップ I C 素子 1 A ~ 1 E を得る。

【0056】なお、本例においては、金属めっき層 3 9 の形成手段として電気めっき法又は精密電鍍法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層 3 9 を形成することもできる。この場合には、金属めっき層 3 9 の形成に電極を必要としないので、フォトレジスト層 3 5 の露光に際して、電極部 3 7 の形成とリード部 3 8 の形成が不要になる。

【0057】無電解めっきは、化学めっきとも呼ばれ、素地金属をめっき金属の金属塩溶液中に浸して金属イオンを素地表面に析出させるもので、比較的簡単な設備で密着力が強く均一で十分な厚みを有するめっき層が得られるという特徴がある。前記金属塩は、めっきする金属イオンの供給源となるものであり、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。銅などの金属イオンは、素地となる金属スパッタ層又は金属蒸着層 3 4 上にのみに析出し、絶縁性の表面保護膜 3 3 上には析出しない。素地材は、めっき金属イオンに対してイオン化傾向が小さく、かつ、めっき金属イオンの析出に対する触媒作用をもつ必要がある。このため、アルミニウムからなる金属スパッタ層又は金属蒸着層 6 上に銅をめっきする場合には、アルミニウム層の表面にニッケルを数 μm 以下の厚さに形成し、硝酸亜鉛液に数秒間浸して亜鉛に置換する前処理を施すことが好ましい。

【0058】一方、電気めっき法及び精密電鍍法は、めっき金属のイオンを含むめっき浴中に金属スパッタ層又は金属蒸着層 3 4 が形成された完成ウエハ 3 1 とめっき金属からなる電極とを浸漬し、完成ウエハ 3 1 に形成された金属スパッタ層又は金属蒸着層 3 4 を陰極、めっき浴中に浸漬された電極を陽極として電圧を印加し、めっき浴中の金属イオンを金属スパッタ層又は金属蒸着層 3 4 の表面に析出させる方法である。電気めっき法及び精密電鍍法も、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。

【0059】本例の再配線層 3 の形成方法は、完成ウエハ 3 1 に所要のアンテナコイル 4 又はパンプ設定用配線 6 を含む所要の導電パターンを形成し、しかる後に完成

ウエハ 31 をスクライビングして所要の半導体チップ 1 A ~ 1 E を得るという構成にしたので、個々の半導体チップにアンテナコイル 4 又はバンプ設定用配線 6 を形成する場合に比べてコイルオンチップ又は C S P タイプの半導体チップを高効率に製造でき、その製造コストを低減することができる。また、ウエハ 31 に形成された全ての半導体チップに対して均一な厚みのアンテナコイル 4 又はバンプ設定用配線 6 を高精度に形成することができるので、通信特性のばらつきを小さくすることができる。さらに、個々の半導体チップ 1 A ~ 1 E についてスパッタ法又は真空蒸着法及びメッキ法を用いてアンテナコイル 4 又はバンプ設定用配線 6 を形成すると、半導体チップ 1 A ~ 1 E の外周部に不要の導体が付着して半導体チップの絶縁性が問題になるが、完成ウエハ 31 にアンテナコイル 4 又はバンプ設定用配線 6 を含む所要の導電パターンを形成した場合には、スパッタ時等において完成ウエハ 31 の外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々の半導体チップ 1 A ~ 1 E の絶縁性に悪影響を与えることもない。加えて、本例の再配線層 3 の形成方法は、フォトレジスト層 35 がある状態で金属めっき層 39 の形成を行い、しかる後に金属スパッタ層又は金属蒸着層 34 の金属めっき層 39 が積層されていない部分をエッチングによって除去するようにしたので、図 8 (e) に示すように、金属めっき層 39 が金属スパッタ層又は金属蒸着層 34 の上面にのみ積層され、幅方向に広がらないので、精密なアンテナコイル 4 又はバンプ設定用配線 6 を形成することができ、狭い面積内に巻数の多いアンテナコイル 4 又は多数のバンプ設定用配線 6 を形成することができる。

【0060】〈再配線層の形成方法の第 2 例〉次いで、再配線層 3 の形成方法の第 2 例を、図 11 に基づいて説明する。図 11 は再配線層 3 の形成方法の第 2 例を示す工程図である。

【0061】本例の再配線層 3 の形成方法では、図 11 (a) に示すように、完成ウエハ 31 に形成された表面保護膜 33 上にフォトレジスト層 35 を均一に形成し、形成されたフォトレジスト層 35 にアンテナコイル 4 又はバンプ設定用配線 6 を含む所要のパターンが形成されたマスク 35 を被せ、マスク 36 の外側から所定波長の光 37 を照射してフォトレジスト層 35 を露光する。しかる後に、露光されたフォトレジスト層 35 の現像処理を行い、図 11 (b) に示すように、フォトレジスト層 35 の露光部分を除去して、表面保護膜 33 の前記露光パターンと対応する部分を露出させる。フォトレジスト層 35 の露光パターンは、図 10 に示すように、電極部 37 と前記アナログ回路 21 を除く部分に形成されたアンテナコイル 4 又はバンプ設定用配線 6 とリード部 38 とを含む形状にすることができる。次いで、現像処理後の完成ウエハ 31 をスパッタ装置又は真空蒸着装置に装

着し、図 11 (c) に示すように、前記表面保護膜 33 の露出部分に金属スパッタ層又は金属蒸着層 34 を形成する。次いで、図 11 (d) に示すように、完成ウエハ 31 に付着したフォトレジスト層 35 をアッシング処理等によって除去した後、電極部 37 を一方の電極として、金属スパッタ層又は金属蒸着層 34 に電気めっきを施し、図 11 (e) に示すように、金属スパッタ層又は金属蒸着層 34 の露出部分に金属めっき層 39 を積層する。最後に、前記完成ウエハ 31 をスクライビングして、図 1 乃至図 7 に示す所要の半導体チップ I C 素子 1 A ~ 1 E を得る。

【0062】なお、本例の再配線層 3 の形成方法においても、金属めっき層 39 の形成手段として電気めっき法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層 39 を形成することもできる。この場合には、金属めっき層 39 の形成に電極を必要としないので、フォトレジスト層 35 の露光に際して、電極部 37 の形成とリード部 38 の形成が不要になる。

【0063】本例の再配線層 3 の形成方法は、前記第 1 例に係る再配線層 3 の形成方法と同様の効果を有するほか、完成ウエハ 31 に導電パターンを形成するための工程数を少なくできるので、コイルオンチップ又は C S P タイプの半導体チップをより高効率に製造することができる。

【0064】〈半導体装置の第 1 例〉次に、本発明に係る半導体装置の第 1 例を、図 12 に基づいて説明する。図 12 は第 1 実施形態例に係る半導体装置 40 の断面図である。

【0065】第 1 実施形態例に係る半導体装置 40 は、図 12 に示すように、前記コイルオンチップタイプの半導体チップ 1 A 又は 1 B を、接着剤層 41 と 2 枚のカバーシート 42 とからなる基体内にケーシングしたことを特徴とする。接着剤層 41 を構成する接着剤としては、所要の接着強度を有するものであれば公知に属する任意の接着剤を用いることができるが、量産性に優れることから、ホットメルト接着剤を用いることが特に好ましい。また、カバーシート 42 としては、所要の強度と印刷性を有するものであれば公知に属する任意のシート材料を用いることができるが、例えばポリエチレンテレフタレートのように焼却しても有害物質の発生が少ない高分子シートや紙を用いることが特に好ましい。本例の半導体装置 40 は、片面に接着剤層 41 が形成された第 1 のカバーシート 42 の接着剤層 41 上に半導体チップ 1 A 又は 1 B を固定し、次いで、前記第 1 のカバーシート 42 の半導体チップ接着面に、片面に接着剤層 41 が形成された第 2 のカバーシート 42 の接着剤層 41 を接着することによって形成できる。

【0066】本例の半導体装置 40 は、アナログ回路 21 とアンテナコイル 4 とが絶縁層 2 を介して重なり合わないよう配列された半導体チップ 1 A 又は 1 B を搭載

したので、アナログ回路21とアンテナコイル4との間に寄生容量が形成されず、アナログ回路21に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路21とアンテナコイル4とが対向に配置されないで、アナログ回路21に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等の発生が防止され、コイルオンチップタイプの半導体チップ1A又は1Bを搭載した非接触半導体装置の通信特性を改善できる。また、所要の半導体チップ1A又は1Bを2枚のカバーシート42にてケーシングするだけで製造できるので、安価かつ超小型に製造できる。

【0067】〈半導体装置の第2例〉次に、本発明に係る半導体装置の第2例を、図13及び図14に基づいて説明する。図13は第2実施形態例に係る半導体装置の断面図、図14は第2実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【0068】第2実施形態例に係る半導体装置50は、図13に示すように、前記コイルオンチップタイプの半導体チップ1A又は1Bと、これらの半導体チップ1A又は1Bに一体形成されたアンテナコイル4と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化するためのブースタコイル51が形成された絶縁基板52とを、接着剤層41とカバーシート42とからなる基体内にケーシングしたことを特徴とする。

【0069】ブースタコイル51は、図14に示すように、巻径が小さな第1コイル51aと巻径が大きな第2コイル51bとからなり、互いに電気的に接続されている。第1コイル51aは、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と主に電磁結合されるコイルであり、その平面形状及び寸法が、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と同一又は相似形に形成される。一方、第2コイル51bは、リーダライタに備えられたアンテナコイルと主に電磁結合するコイルであり、その平面形状及び寸法は、接着剤層41とカバーシート42とによって構成される基体内に収まる範囲でなるべく大きく形成される。なお、図14の例では、第1コイル51a及び第2コイル51bが共に複数のターン数を有する矩形スパイラル状に形成されているが、各コイル51a、51bのターン数や平面形状はこれに限定されるものではなく、任意に形成することができる。このブースタコイル51は、絶縁基板52の片面に形成された均一厚さの導電性金属層にエッチングを施して所要のコイルパターンを形成するエッチング法や、絶縁基板52の片面に導電性インクを用いて所要のコイルパターンを印刷形成する印刷法をもって形成することができる。

【0070】なお、接着剤層41を構成する接着剤の種類やカバーシート42を構成するシート材料の種類につ

いては、第1実施形態例に係る半導体装置40と同じであるので、重複を避けるために説明を省略する。

【0071】本例の半導体装置50は、第1実施形態例に係る半導体装置40と同様の効果を有するほか、ブースタコイルを備えたので、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化できるという効果がある。

【0072】〈半導体装置の第3例〉次に、本発明に係る半導体装置の第2例を、図15に基づいて説明する。図15は第3実施形態例に係る半導体装置の要部断面図である。

【0073】第3実施形態例に係る半導体装置60は、図15に示すように、第1配線層61、第1絶縁層62、第2配線層63、第1配線層61と第2配線層63とを接続する接続部63a、第2絶縁層64、半導体チップ1C、他の搭載部品66、第2配線層63と半導体チップ1Cとを接続する導体67、第2配線層63と他の搭載部品66とを接続する導体68、半導体チップ1Cと他の搭載部品66と導体67、68を一体に封止するモールド樹脂69、第1配線層61の外面に局部的に形成されたニッケル層（金属膜）70、第1配線層61の外面を覆う保護樹脂層71、ニッケル層70に形成された外部端子72から構成されている。

【0074】第1配線層61、第2配線層63及び接続部63aは、銅又は銅合金を電気めっき（電鍍）することによって形成される。銅合金としては、耐腐食性や密着性に優れることなどから、銅－ニッケル合金又は銅－ニッケル－銀合金が特に適する。接続部63aは、第1絶縁層62に開設された第1開口部62a内に形成され、第1配線層61と第2配線層63とを電気的に接続する。

【0075】第1絶縁層62、第2絶縁層64及び保護樹脂層71は、絶縁性樹脂によって形成される。なお、絶縁性樹脂としては、これら第1絶縁層62、第2絶縁層64及び保護樹脂層71の形成を容易にするため、感光性樹脂を用いることもできる。第1絶縁層62には、接続部63aを形成するための第1開口部62aが所要の配列で形成され、第2絶縁層64には、導体67、68を貫通するための第2開口部64aが所要の配列で形成される。

【0076】他の搭載部品66としては、トランジスタ、ダイオード、抵抗、インダクタ、コンデンサ、水晶発振子、フィルタ、バラン、アンテナ、機能モジュールなどのチップ部品や外部接続コネクタなどを搭載することができる。なお、前記機能モジュールには、VCO、PLL又は電源レギュレータなどが含まれる。

【0077】他の搭載部品66と第2配線層63とを接続する導体68としては、導電ペーストや異方性導電接着剤などを用いることもできるが、安価にして信頼性の

高い接続が可能であることから、はんだが特に適する。

【0078】モールド樹脂69は、前記半導体チップ1Cと、他の搭載部品66と、これら各搭載部品1C、66と第2配線層63との接続部とを一体に樹脂封止するものであって、従来より半導体チップの樹脂封止に適用されている各種の樹脂材料を用いて形成することができる。

【0079】ニッケル層70は、外部端子72の形成を容易にするものであって、外部端子72を形成しようとする第1配線層61の端子部に形成される。

【0080】外部端子72は、本実施形態例に係る半導体装置60を外部装置、例えばプリント配線基板に接続するために使用されるものであって、安価にして信頼性の高い接続が容易に行えることから、はんだで形成することが特に好ましい。

【0081】本例の半導体装置60は、第1実施例に係る半導体装置40と同様の効果を有するほか、搭載部品1C、66の配線手段を配線層61、63と保護樹脂層62、64とから構成したので、従来の多層基板のコア材に相当する部分を省略することができ、薄形にして安価な半導体装置を得ることができる。また、配線層61、63を用いたので、リードフレームや金属箔エッチング又は導電ペースト印刷により形成された配線層を備えた基板を用いる場合に比べて配線パターンの高密度化、高精度化、微小化及び均質化を図ることができ、小型にして高周波対応性の高い半導体モジュールを得ることができる。さらに、第1配線層61及びこれと電気的に接続された第2配線層63とを2層に形成したので、配線層61、63の形成面積を減少することができ、半導体装置の小型化を図ることができる。

【0082】なお、前記実施形態例では、配線層を2層に形成したが3層以上に形成することももちろん可能である。また、前記実施形態例では、半導体チップとしてCSPタイプの半導体チップ1Cを用いたが、他のCSPタイプの半導体チップ1D、1Eを用いることもできる。

【0083】

【発明の効果】請求項1に記載の発明は、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないように配列するので、アナログ回路と再配線層との間に寄生容量が形成されず、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないで、アナログ回路に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0084】請求項2に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とを絶縁層を介して重なり合わないように配列するので、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンギング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0085】請求項3に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とを絶縁層を介して重なり合わないように配列するので、当該コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0086】請求項4に記載の発明は、再配線層をもって非接触通信用のアンテナコイルを形成するので、耐ノイズ性に優れたコイルオンチップタイプの半導体チップを得ることができ、低コストにして耐ノイズ性に優れた非接触式半導体装置を製造することができる。

【0087】請求項5に記載の発明は、再配線層をもってパンプ設定用配線を形成するので、耐ノイズ性に優れたCSPタイプの半導体チップを得ることができ、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0088】請求項6に記載の発明は、CMOS技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0089】請求項7に記載の発明は、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0090】請求項8に記載の発明は、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを半導体装置に搭載するので、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができる。

【0091】請求項9に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とが絶縁層を介して重なり

合わないように配列された半導体チップを半導体装置に搭載するので、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができる。

【0092】請求項10に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載するので、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用せず、通信特性が良好な半導体装置を得ることができる。

【図面の簡単な説明】

【図1】第1実施形態例に係る半導体チップ1Aの平面図である。

【図2】図1のA-A断面図である。

【図3】第2実施形態例に係る半導体チップ1Bの平面図である。

【図4】第3実施形態例に係る半導体チップ1Cの平面図である。

【図5】図4のB-B断面図である。

【図6】第4実施形態例に係る半導体チップ1Dの平面図である。

【図7】第5実施形態例に係る半導体チップ1Eの平面図である。

【図8】所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図である。

【図9】再配線層の形成方法の第1例を示す工程図である。

【図10】再配線層3が形成された完成ウエハの平面図である。

【図11】再配線層の形成方法の第2例を示す工程図である。

【図12】第1実施形態例に係る半導体装置の断面図である。

【図13】第2実施形態例に係る半導体装置の断面図である。

【図14】第2実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【図15】第3実施形態例に係る半導体装置の要部断面図である。

【図16】従来のコイルオンチップタイプの半導体チップの平面図である。

【図17】従来のコイルオンチップタイプの半導体チップの断面図である。

【図18】従来のCSPタイプの半導体チップの平面図である。

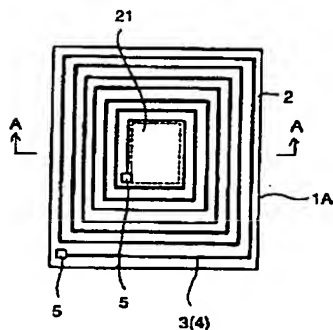
【図19】従来のCSPタイプの半導体チップの断面図である。

【図20】半導体チップの回路部とアンテナコイルとの間に形成される寄生容量の説明図である。

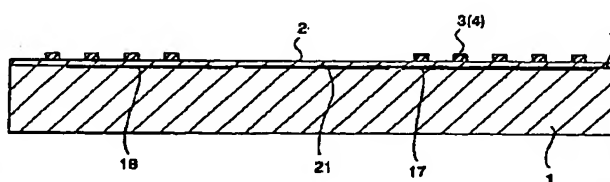
【符号の説明】

- 1A～1E 半導体チップ
- 2 絶縁層
- 3 再配線層
- 4 アンテナコイル
- 6 バンプ形成用配線
- 11 電源回路
- 12 演算増幅器
- 13 比較増幅器
- 14 RF受信部
- 15 RF送信部
- 16 RFシンセサイザ部
- 21 アナログ回路
- 40, 50, 60 半導体装置

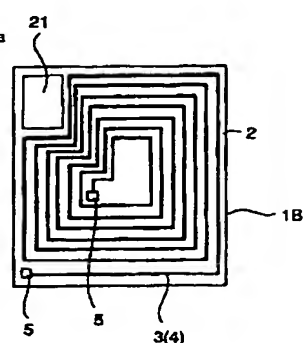
【図1】



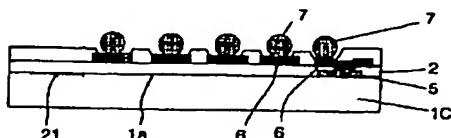
【図2】



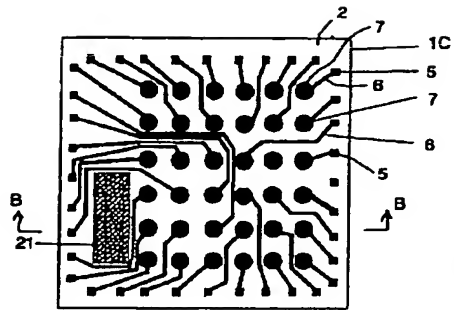
【図3】



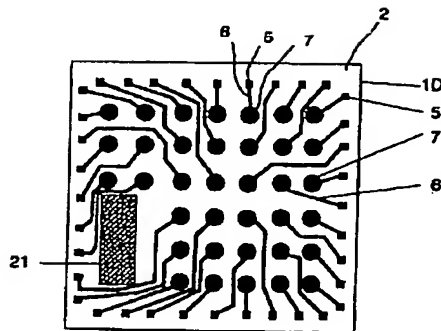
【図5】



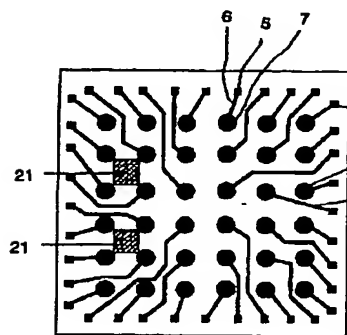
【図 4】



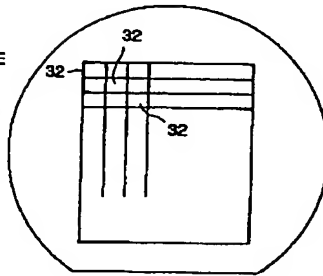
【図 6】



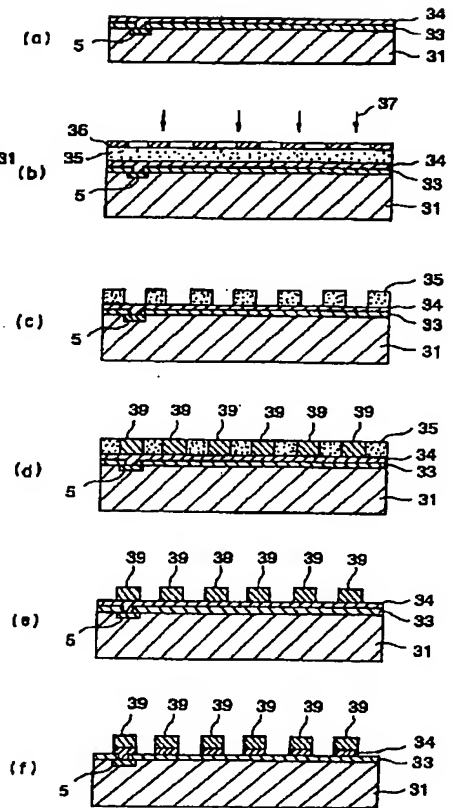
【图 7】



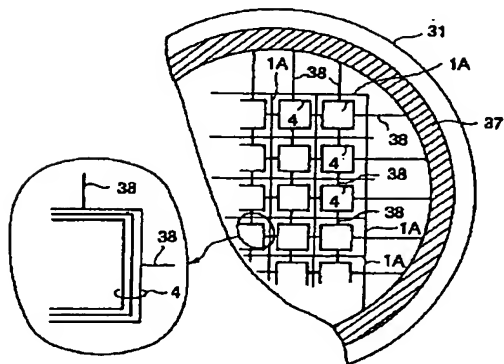
【図8】



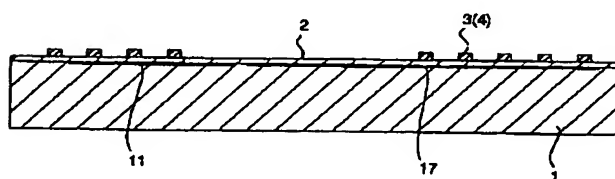
【図 9】



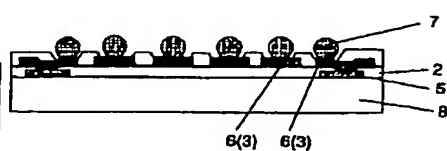
【図 10】



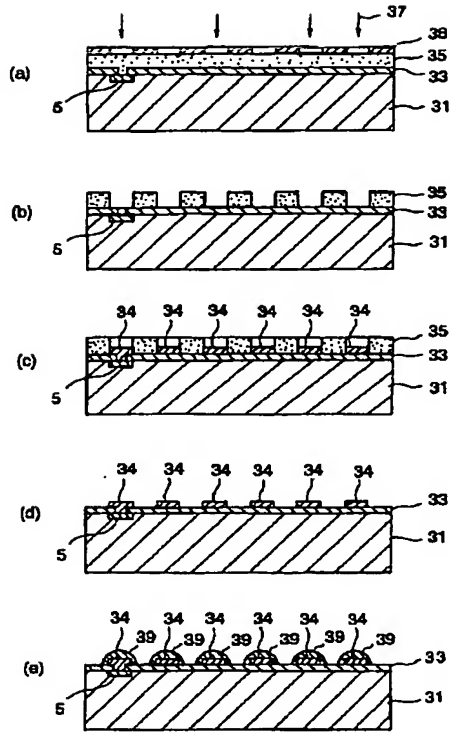
【图 17】



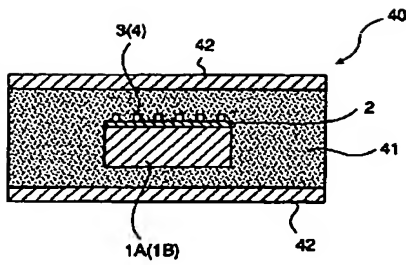
【图 19】



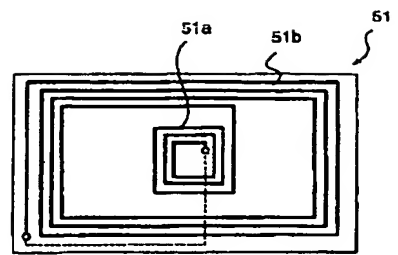
【図11】



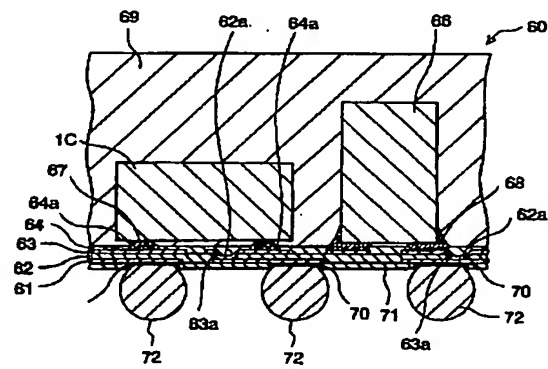
【図12】



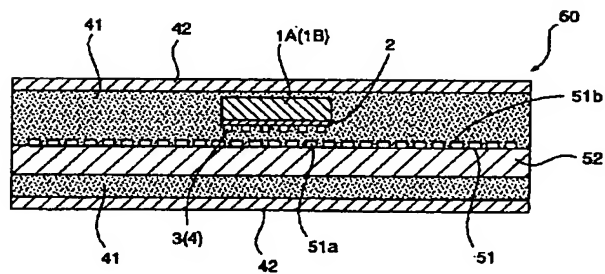
【図14】



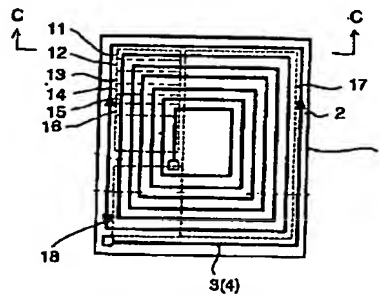
【図15】



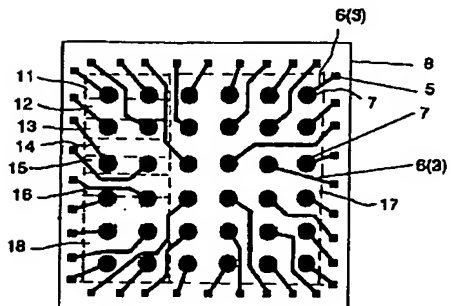
【図13】



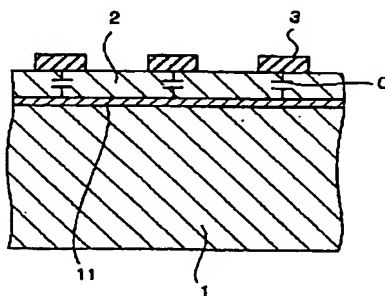
【図16】



【図18】



【図20】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 K 19/077		G 0 6 K 19/00	H
(72)発明者 中川 和成		(72)発明者 日野 吉晴	
大阪府茨木市丑寅一丁目 1 番88号 日立マ		大阪府茨木市丑寅一丁目 1 番88号 日立マ	
クセル株式会社内		クセル株式会社内	
		F ターム(参考) 5B035 BA03 BB09 CA01 CA23 CA31	